

PAT-NO: JP358087846A
DOCUMENT-IDENTIFIER: JP 58087846 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: May 25, 1983
INVENTOR-INFORMATION:
NAME
SATOU, KUNIYA
ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A
APPL-NO: JP56186341
APPL-DATE: November 20, 1981
INT-CL (IPC): H01L021/88, H01L027/10
US-CL-CURRENT: 438/512, 438/FOR.151
ABSTRACT:

PURPOSE: To enable to curtail the directly exposing time of electron beam, and to adopt a still more inexpensive device by a method wherein a fixed wiring process and a functional wiring process are separated at the wiring process, and the functional wiring process is simplified.

CONSTITUTION: A interlayer insulating film 4 is made to grow on a fixed wiring substrate provided with fixed wiring layers 3, and ~~after a~~ through-hole 5 is formed, second wiring layers 6 are made to grow. The devices are produced according to mass production up to the form thereof in this method, and are kept. Then a negative type electron beam resist 7 is applied, and is exposed directly to an electron beam, and development and etching are performed. The remaining part 8 of the second wiring layer 6 is used as the functional wiring part. After then, the device is formed in a product according to the usual process. Accordingly, by separating the fixed wiring process and the functional wiring process, and moreover by using electron beam direct exposure in the functional wiring process in this way, the trial manufacture and the rapid and small quantity production can be promoted.

COPYRIGHT: (C)1983, JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—87846

⑬ Int. Cl.³
H 01 L 21/88
27/10

識別記号

庁内整理番号
6810—5F
6655—5F

⑭ 公開 昭和58年(1983)5月25日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体装置の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—186341

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)11月20日

東京都港区芝5丁目33番1号

⑲ 発 明 者 佐藤 窓 彌

⑳ 代 理 人 弁理士 内原 晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1)あらかじめ基板上に形成された半導体機能素子を配線により選択して所望の回路機能を実現する半導体装置の製造工程において、固定配線の配線工程と機能配線の配線工程を分離して機能配線の配線工程を簡易にすることを特徴とする半導体装置の製造方法。

(2)機能配線工程に電子線直接露光を用いることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(3)固定配線を第1層配線とし、機能配線を上層とする多層配線工程を用いることを特徴とする特許請求の範囲第(2)項記載の半導体装置の製造方法。

(4)固定配線工程をエッチング工程とし、機能配線工程をリフトオフ工程とすることを特徴とする

特許請求の範囲第(2)項記載の半導体装置の製造方法。

(5)固定配線工程をレジスト現像工程までとして機能配線工程に上記レジスト層上に塗布した電子線レジストを用いることを特徴とする特許請求の範囲第(2)項記載の半導体装置の製造方法。

(6)固定配線工程、機能配線工程を共にエッチング工程とすることを特徴とする特許請求の範囲第(2)項記載の半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に係り、特にマスタースライス、ゲートアレイ、マスクROM等の基本共通基板を用い、配線の選択により回路機能を実現する半導体装置の製造方法に関する。

従来、この種の半導体装置の製造においては、配線工程における回路機能の実現は金属配線層のエッチング工程又はコンタクトエッチング工程においてフォトリソグラフィを要することにより行われてきた。

したがって新回路機構の初期試作および小量多品種生産においては、マスクの製造時間による試作の遅れ、マスク交換時間による製造能力の低下が生じる。これに対処するため近年、電子線直接露光によるマスクなし配線の検討がなされているが、露光時間の増大・装置の高価格化のため一般的な方式とはなっていない。

本発明は、配線工程において固定配線工程と機能配線工程を分離し、機能配線工程を簡易化することにより電子線直接露光時間の短縮、より安価な装置の採用を可能にし、もって上記欠点を解決しうる半導体装置の製造方法を提供することを目的とする。

上記目的を達成するため、あらかじめ基板上に形成された半導体機能素子を配線により選択し、所望の回路機能を実現する半導体装置の製造工程において、固定配線の配線工程と機能配線の配線工程を分離し、機能配線の配線工程を簡易にすること、又、機能配線工程に電子線直接露光を用いることが、本発明の特徴である。

- 3 -

設計時間、製作時間、製作価格の低下を期待でき、試作時・小量生産時の迅速化、低価格化が図れる。

これに対し、機能配線工程に電子線直接露光を用いた場合には、マスク不要のため、試作時小量生産時の迅速化・低価格化はより一層推進される。従来の電子線により直接固定配線・機能配線とも露光する場合に比較すれば、露光時間の短縮・配線内容の比較的設計ルールの緩やかな同一パターンの繰返し化、電子線直接露光に特有なブロッキングミティ効果の減少が、より安価な装置によるより大きなスループットをもたらす。たとえば比較的単純な固定矩形型ベクタースキャン方式が最も有利な方式となる。特に設計時において機能配線を単位矩形の整数倍とすれば、マスタースライス方式による複雑なランダム論理回路の配線も極めて容易になる。

次に機能配線工程の実施例を述べる。第1図より機能配線方法としては、固定配線と同時に全ての機能配線部を接続し回路に応じて切断する方法と、固定配線に回路に応じて接続する方法が考え

- 5 -

また、上記機能配線工程において、多層配線工程の採用、リフトオフ工程の採用・2重レジスト工程の採用、選択エッチング工程の採用が考えられるが、いずれの工程も本発明の基本製造方法の補完となるものであり、本発明の特徴に含まれる。

次に本発明の実施例について図面を参照して説明する。

第1図は固定配線部分と機能配線部分の区分を示したものである。図示のマスクROMにおいては、メモリセル外にセンス部・デコーダ部・入力バッファ部等があるが、いずれも品種別対応の必要なメモリセル部とは異なり、固定配線1と同時に配線される。これに対し配線2は要求される回路機能により付加の有無を決定される機能配線となる。本発明の主旨は、固定配線までの工程は品種別対応が不必要であるため、固定配線工程までをあらかじめ大量生産し保管しうる点にある。これに引き続き行なわれる機能配線工程は、簡易な比較的設計ルールの緩やかな工程となるため、マスクを用いた光露光の場合においてもマスクの

- 4 -

られる。これらの方法は使用するレジスト・工程により、また各種の方法に分られる。ここでは第2図に示す多層配線型、第3図に示すリフトオフ型、第4図に示す2重PR型の接続方式と、第5図に示すエッチング型の切断方式を示すが、いずれも機能配線の実現方法として本発明の基本目的の補完となるものである。第2図(a)はエッチング後の固定配線済基板であり、3が固定配線である。第2図(b)は層間絶縁膜4を成長し、スルホール5をあけた後、第2配線層6を成長させた基板であり、本方法では第2図(b)の形まで大量生産され保管される。第2図(c)は第2図(b)にネガ型電子線レジスト7を塗布し、電子線直接露光し、現像・エッチングしたものである。第2配線層6の残存部8が機能配線部となる。この後は通常の工程により製品化される。第3図(a)は第2図(a)と同じものであり、本方法ではこの形まで大量生産され保管される。第3図(b)は第3図(a)にポジ型電子線レジスト9を塗布し、電子線直接露光し、現像した基板である。第3図(c)は第3図(b)に第2配線層6を

- 6 -

成長させたものであり、レジストなし部分に成長した部分10が機能配線部となる。この後はレジスト剥離後通常の工程により製品化される。第4図(a)は第1配線層11を成長した後の基板であり、本方法ではこの形で大量生産され保管される。第4図(b)は通常の光マスクによるレジスト12の塗布露光・現像後の基板であり、レジスト残存部が固定配線部分となる。第4図(c)は第4図(b)にネガ型電子線レジスト7を塗布し、電子線直接露光し、現像した基板である。レジスト残存部が機能配線部となる。

この後は配線層のエッチング後、通常の工程により製品化される。第5図(a)は第2図(a)と同一工程により作成された基板であるが、本方法においては機能配線部で接続される可能性のある部分は全て同時に接続されている。本方法でもこの形で大量生産され保管される。第5図(b)はポジ型電子線レジスト9を塗布し、電子線直接露光し、現像した基板である。レジストなし部分13が接続を切断された機能配線部分となる。

- 7 -

ある。

なお図において、1, 3……固定配線、2, 8, 10……機能配線、4……層間絶縁膜、5……スルホール、6……第2配線層、7……ネガ型電子線レジスト、9……ポジ型電子線レジスト、11……第1配線層、12……光露光レジスト、である。

代理人 井理士 内 原 普

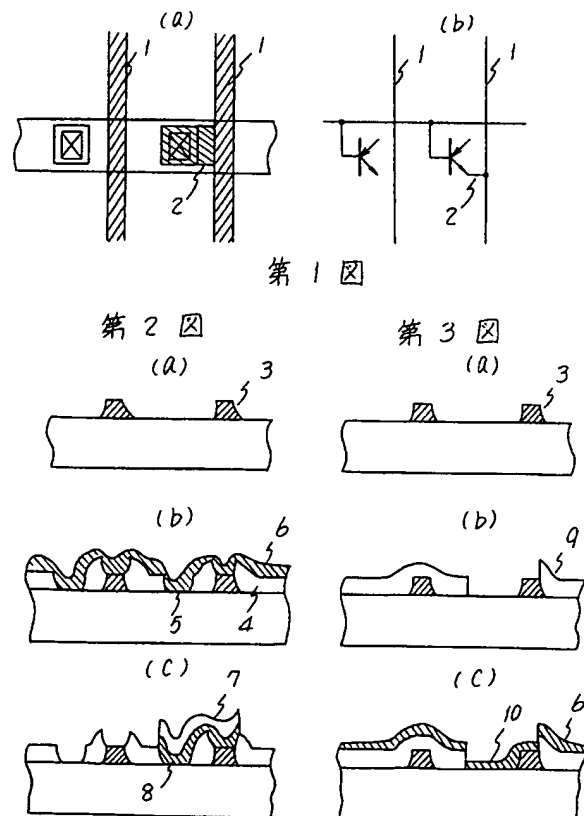
以上の実施例においてはマスクROMについて説明したが、マスタースライス、PLA等でも同様であることは明らかである。また、電子線レジストのネガ・ポジの採用は露光面積を考慮して選択されているが、工程上の要請により他の型のレジストを採用することも本発明の範囲内に含まれることも明らかである。

本発明は以上説明したように、固定配線工程と機能配線工程を分離し、又、機能配線工程に電子線直接露光 いることにより、製作時及び小量生産時の迅速化・低価格化を促進する効果がある。

4. 図面の簡単な説明

第1図(a), (b)は本発明の一実施例において固定配線部分と機能配線部分を示した平面図(第1図(a))及び対応する回路図(第1図(b))である。第2図(a)~(c)は多層配線型接続方式の第3図(a)~(c)はリフトオフ型接続方式の第4図(a)~(c)は2重PR型接続方式の、第5図(a), (b)はエッチング型切断方式の各々の一実施例の断面図を图示したもので

- 8 -



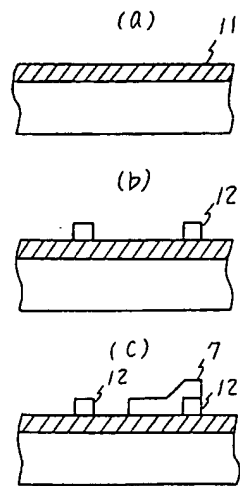
第1図

第2図

第3図

- 9 -

第 4 図



第 5 図

